

PAT-NO:

JP405335482A

DOCUMENT-IDENTIFIER: JP 05335482 A

TITLE: MULTILAYER SEMICONDUCTOR INTEGRATED CIRCUIT
HAVING THIN
FILM TRANSISTOR

PUBN-DATE: December 17, 1993

INVENTOR-INFORMATION:

NAME

YAMAZAKI, SHUNPEI

TAKEMURA, YASUHIKO

ASSIGNEE-INFORMATION:

NAME

SEMICONDUCTOR ENERGY LAB CO LTD

COUNTRY

N/A

APPL-NO: JP04164303

APPL-DATE: May 29, 1992

INT-CL (IPC): H01L027/00, H01L021/268 , H01L027/12 , H01L029/784

US-CL-CURRENT: 257/67

ABSTRACT:

PURPOSE: To form the title multilayer integrated circuit easily at low temperature by a method wherein time gate wiring of respective integrated circuit layers is composed of a metallic material mainly comprising aluminum so as to activate semiconductor layers using laser beams, etc.

CONSTITUTION: After the formation of the first layer having a thin film transistor on an insulator substrate 1, an interlayer insulating film 7, a wiring of the first integrated circuit layer, a polyimide film 9 are formed. Next, after the formation of a silicon oxide film as a gate oxide

film, the whole surface is irradiated with excimer laser beams so as to activate an insular semiconductor region 10. Later, a gate wiring electrode 12 is formed of aluminum. Next, source/drain 13 is formed by laser annealing step as boron ion implanting step and then a silicon oxide 14 is deposited to be an interlayer insulator. Next, a contact hole 15 is formed to form another wiring 16 comprising an aluminum film. Through these procedures, the title multilayer integrated circuit can be manufactured without fail not only on a single crystalline wafer but also on the insulator substrate 1.

COPYRIGHT: (C)1993,JPO&Japio

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号

特開平5-335482

(43)公開日 平成5年(1993)12月17日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 27/00	3 0 1 A	8418-4M		
21/268	Z	8617-4M		
27/12	C			
		9056-4M	H 0 1 L 29/ 78	3 1 1 C
		9056-4M		3 1 1 G

審査請求 未請求 請求項の数 2(全 5 頁) 最終頁に続く

(21)出願番号 特願平4-164303

(22)出願日 平成4年(1992)5月29日

(71)出願人 000153878

株式会社半導体エネルギー研究所
神奈川県厚木市長谷398番地

(72)発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(72)発明者 竹村 保彦

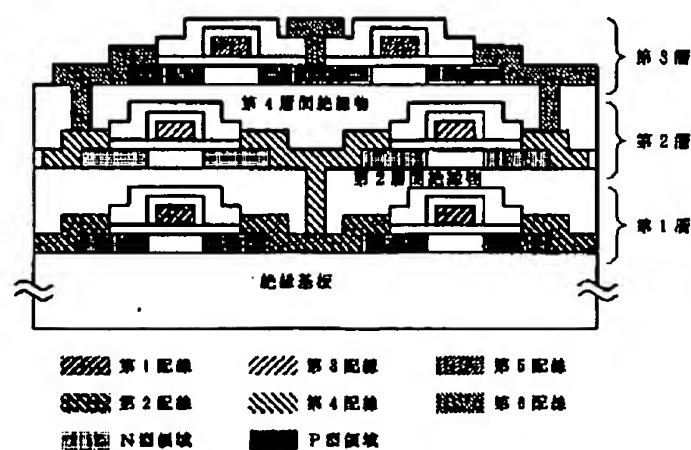
神奈川県厚木市長谷398番地 株式会社半
導体エネルギー研究所内

(54)【発明の名称】 薄膜トランジスタを有する多層半導体集積回路

(57)【要約】

【目的】 容易に形成できる多層集積回路を提供する。

【構成】 各集積回路層のゲート配線をアルミニウムを主成分とする禁足材料によって構成し、半導体層をレーザーもしくはそれと同等な強光によって活性化することによって低温にて集積回路を形成する。また、ポリイミドのような有機材料を用いて、各集積回路層の分離をおこなうことによって、平坦性を向上せしめ、歩留りの向上を図る。



【特許請求の範囲】

【請求項1】 半導体もしくは絶縁体基板上に形成された薄膜トランジスタを有する第1の層と、前記第1の層上に層間絶縁物を介して形成された薄膜トランジスタを有する第2の層とを有する半導体集積回路において、前記第2の層の薄膜トランジスタの半導体層はレーザー光もしくはそれと同等な強光の照射によって活性化され、かつ、前記第2の層の薄膜トランジスタのゲイト電極は、酸化アルミニウムに被覆されたアルミニウムを主成分とする金属からなることを特徴とする半導体集積回路。

【請求項2】 半導体もしくは絶縁体基板上に形成された薄膜トランジスタを有する第1の層と、前記第1の層上に有機材料の層間絶縁物を介して形成された薄膜トランジスタを有する第2の層とを有することを特徴とする半導体集積回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、多層半導体集積回路（立体半導体集積回路、3次元半導体集積回路ともいう）に関する。

【0002】

【従来の技術】近年、半導体集積回路の集積度を向上させるため、集積回路を多層構造とした多層集積回路が提案されている。このような多層集積回路としては、シリコンウェファのような単結晶基板上に1層の半導体素子層を形成して、多数のウェファを接着剤等でボンディングさせる方法が簡単であるが、この場合には層間の配線を形成することが困難であり、例えば、第1層をマイクロプロセッサ、第2、第3層をメモリーとして使用するように、層間のバスラインが少ないものには適しているが、いわゆるニューロン回路のようなユニット間の配線が非常に多いものには不向きであった。また、素子の発熱を除去するという意味でも、基板の間に挟まれた層の冷却は困難であった。

【0003】

【発明が解決しようとする課題】そこで、1つの基板上に多層の半導体集積回路を形成する方法が考えられたが、作製上の問題から実用にいたっていない。すなわち、従来の集積回路技術の援用でこのような多層集積回路を形成しようとした場合にも、集積回路の発熱を抑制する必要がある。しかしながら、通常使用されるシリコンゲイト配線は抵抗が高いために、信号遅延時間が大きくなるのみばかりか、多量の発熱をもたらした。しかも、従来のプロセスでは、半導体層の活性化には600～1100℃の高温が必要とされたため、通常の単層の集積回路では、金属配線が使用されているような部分においても、シリコンやタングステン等の耐熱合金配線を使用する必要があった。

【0004】

【問題を解決する方法】本発明はこのような点を鑑みてなされたものであり、配線としてはゲイト配線も、その他の配線もアルミニウムを主成分とする低抵抗の金属配線を使用することを主旨とする。このような低抵抗の材料を使用することによって、集積回路の発熱が抑制されるばかりではなく、アルミニウムは比較的熱伝導性がよいので、内部で発生した熱を外部に伝導することによって冷却の効果が期待される。

【0005】しかしながら、従来の方法のように、高温での半導体の活性化というプロセスを経る必要があれば、アルミニウムのような材料は不適切であった。そこで本発明では、新たな低温プロセスとしてパルスレーザーアニールやフラッシュランプアニールのような瞬間的なアニール法を採用する。これらのアニール法は、レーザーやそれと同等な強光を照射することによって、瞬間的に半導体を高温にせしめて活性化するものであり、ゲイト配線や下部の層には熱的なダメージが少ない。特に本発明人等が、特願平3-237100、同3-238713において示したように、アルミニウムのゲイト電極の周囲を陽極酸化法によって、酸化アルミニウムの被膜によって被覆した場合には、レーザー照射の衝撃に対する抵抗力が増大する。また、アルミニウム膜の純度を上げて、粒成長を抑え、アルミ配線の表面の反射度を高めてもよい。陽極酸化膜は、この他にもソース/ドレインに対して、従来のLDDと同じ機能を果たすオフセット領域を形成するうえでも重要である。

【0006】また、レーザーアニール等の方法を用いると、他にもメリットがある。このような多層集積回路では、層間絶縁物の平坦性が重要とされる。すなわち、層間絶縁物が起伏に富んでいると、その上の集積回路において断線等の不良が生じやすいためである。通常集積回路技術ではCVD法で堆積したリンガラスやリンボロンガラスのリフローがおこなわれるが、それでも平坦化は十分でなく、しかも1000℃以上の高温を必要とする。これに対し、例えばポリイミドのような有機材料は、スピンコート法によって容易に形成できるので平坦化がよい。しかしながら、耐熱性の点からポリイミドを従来のような高温を要する活性化プロセスに使用することはできなかった。そこで、ポリイミドを層間絶縁物材料として使用する場合にはレーザーアニール等の低温活性化技術が必要とされる。逆にレーザーアニール技術を使用すればポリイミドのような材料によって低温で十分な平坦化が実施できる。

【0007】さて、このような多層集積回路は、単結晶半導体ウェファ上に形成してもよいが、絶縁基板上に形成してもよい。絶縁基板上であれば、基板と配線の間の容量損失がなく、信号の伝播も良好であり、高速動作が可能である。

【0008】このような多層集積回路において、最大の問題は層間のコンタクトの形成である。特に、層間絶縁

物は、下層の配線の信号によって、上層の半導体素子が誤動作しないように十分に厚く形成される必要が生じるので、どうしてもコンタクトホールが深くなりがちである。そのためには、図1に示すように第1の集積回路層の金属配線（第2配線）を形成して、第2の集積回路の金属配線（第4配線）がこれにコンタクトするように回路を設計すると良い。

【0009】図1に本発明の概念図を示すが、第1配線は第1の集積回路層のゲート配線であり、第2配線がそれにクロスする配線、すなわちソース/ドレインに接続する配線である。第1配線の周囲には陽極酸化膜が形成されているが、さらに層間の絶縁を完全にするために図に示すように層間絶縁物を形成してもよい。この2層（必要によっては3層以上）の配線によって第1の集積回路層が形成されている。そして、第2配線を覆って、第2の層間絶縁物が形成され、その上に第2の集積回路層の半導体層が形成される。その上は第1の集積回路層と同様である。

【0010】このような多層集積回路を形成する場合には、各層の役割を分担させると効果的である。例えば、単結晶ウェーファー上に集積回路を形成する場合には、第1の層（単結晶）には、演算ユニットと超高速メモリーユニットを構成し、薄膜トランジスタ（TFT）領域である第2層以上ではメモリーユニットを構成してもよい。また、第1層ではNMOS素子を形成し、第2層ではPMOS素子を形成し、あわせてCMOS素子とすることも可能である。この場合には、従来のように1つの層にNMOSとPMOSを形成していた場合より高密度に素子を配置することが出来る。図1においては、第1層と第3層はPMOSで、第2層はNMOSである。

【0011】

【実施例】〔実施例1〕 図2を用いて、本発明を用いた絶縁基板の上の多層集積回路の作製実施例を説明する。本実施例では基板1としてコーニング社の7059番ガラス基板を使用した。基板は直径2インチの円形とし、その厚さは1.1mmであった。基板はこの他にも様々な種類のものを使用することができるが、半導体被膜中にナトリウム等の可動イオンが侵入しないように基板に依じて対処しなければならない。理想的な基板はアルカリ濃度の小さい合成石英基板であるが、コスト的に利用することが難しい場合には、市販の低アルカリガラスもしくは無アルカリガラスを使用することとなる。本実施例では、基板1上にはスパッタ法によって、厚さ20～1000nm、例えば50nmの酸化珪素膜2を形成した。被膜2の膜厚は、可動イオンの侵入の程度、あるいは活性層への影響の程度に応じて設計される。

【0012】これらの皮膜の形成には、上記のようなスパッタ法だけでなく、プラズマCVD法等の方法によって形成してもよい。特にTEOSを利用してよい。この手段の選択は投資規模や量産性等を考慮して決定す

ばよい。

【0013】その後、減圧CVD法によって、モノシランを原料として、厚さ20～200nm、例えば100nmのアモルファスシリコン膜を形成した。基板温度は520～560℃、例えば550℃とした。このようにして得られたアモルファスシリコン膜を、600℃で24時間熱アニールした。その結果、いわゆるセミアモルファスシリコンと言われる結晶性シリコンを得た。

【0014】さて、アモルファスシリコン膜を熱アニールによって、結晶性シリコン膜としたのち、これを適当なパターンにエッチングして、島状半導体領域3を形成した。その後、酸素雰囲気中での酸化珪素をターゲットとするスパッタ法によって、ゲート絶縁膜（酸化珪素）4を厚さ50～300nm、例えば100nmだけ形成した。この厚さは、TFTの動作条件等によって決定される。

【0015】次にスパッタ法によって、アルミニウム皮膜を厚さ500nmだけ形成し、これを混酸（5%の硝酸を添加した磷酸溶液）によってパターニングし、ゲート電極・配線5を形成した。エッチングレートは、エッチングの温度を40℃としたときに225nm/分であった。このようにして、TFTの外形を整えた。このときのチャンネルの大きさは、いずれも長さ8μm、幅20μmとした。

【0016】さらに、陽極酸化法によってアルミニウム配線の表面に酸化アルミニウムを形成した。陽極酸化の方法としては、本発明人等の発明である特願平3-231188もしくは特願平3-238713に記述される方法を用いた。詳細な実施の様態については、目的とする素子の特性やプロセス条件、投資規模等によって変更を加えればよい。本実施例では、陽極酸化によって、厚さ250nmの酸化アルミニウム被膜を形成した。

【0017】その後、ゲート酸化膜を通したイオン注入法によって、N型ソース/ドレイン領域6を形成した。不純物濃度は $8 \times 10^{19} \text{ cm}^{-3}$ となるようにした。イオン源としては、リンイオンを用い、加速電圧110keVで注入した。加速電圧はゲート酸化膜の厚さや半導体領域3の厚さを考慮して設定される。イオン注入法のかわりに、イオンドーピング法を用いてもよい。イオン注入法では注入されるイオンは質量によって分離されるので、不必要なイオンは注入されることがないが、イオン注入装置で処理できる基板の大きさは限定される。一方、イオンドーピング法では、比較的大きな基板（例えば対角30インチ以上）も処理する能力を有するが、水素イオンやその他不必要なイオンまで同時に加速されて注入されるので、基板が加熱されやすい。

【0018】このようにして、オフセット領域を有するTFTが作製された。さらに、レーザーアニール法によって、ゲート電極部をマスクとしてソース/ドレイン領域の再結晶化をおこなった。レーザーアニールの条件

は、例えば特願平3-231188や同3-238713に記述されている方法を使用した。そして層間絶縁物7として、酸化珪素をRFプラズマCVD法で形成した。この様子を図2(A)に示す。

【0019】その後、層間絶縁物7とゲイト絶縁膜4にコンタクトホールを形成し、スパッタ法によってアルミニウム膜を厚さ250~1000nm、例えば500nm形成し、これをパターニングして第1の集積回路層の配線(図1の第2配線にあたる)8を形成した。そして、スピコーティング法によって、ポリイミド原料(例えば東レ製セミコファイン)を塗布し、これを450~550℃で縮合させて、ポリイミド膜9を厚さ0.5~5μm、例えば3μm形成した。その平坦度は、2インチウェファー内で0.1μm以内となるようにした。こままでの状態を図2(B)に示す。

【0020】その後、プラズマCVD法によって、基板温度300~400℃、例えば320℃でアモルファスシリコン膜を堆積し、さらに、これを島状にパターニングした後、ゲイト酸化膜として、酸化膜4と同じ条件で酸化珪素膜11を形成した。さらに、この状態でエキシマレーザー光を照射して、島状半導体領域10を活性化した。この様子を図2(C)に示す。このときのレーザーアニールの条件は、以下のものとした。

レーザー : KrFレーザー、波長248nm、パルス幅10ナノ秒

照射エネルギー : 200mJ

照射パルス数 : 20ショット

【0021】なお、レーザー照射の際に、基板を300~400℃、例えば350℃に加熱しておく、再現性よく、高移動度のシリコン膜が得られた。例えば、基板を350℃に加熱してレーザーを照射した場合には、シリコン膜の電子移動度は、平均値が80cm²/Vsで、70~90cm²/Vsの範囲に80%が存在したのに対し、基板温度を室温として、レーザーを照射した場合には平均値が60cm²/Vsで、50~70cm²/Vsの範囲には、40%しか存在しなかった。このように、基板温度を適当な温度に保つことによって信頼性を高めることができた。

【0022】また、レーザーの照射にあたっては、本実施例では、ソース/ドレイン6の活性化や半導体領域10の活性化においては、2インチウェファーを図3に示すように32分割し、番号の順番に、ほぼ正方形のレーザー光(図の斜線部)を順番に照射した。レーザーアニールは、熱アニールに比べて生産性が低いように思われるかもしれないが、本実施例で用いたエキシマレーザーの繰り返し周波数は200Hzであり、ウェファー上の1か所の処理に要する時間は、0.1秒である。したがって、ウェファーが移動する時間を考慮しても、1枚のウェファーを処理する時間は10秒弱であり、ウェファーの自動搬送をおこなえば、1時間に200枚以上の

ウェファーを処理することが出来る。

【0023】ウェファーを大きくすることや、レーザーの出力を大きくすることは、ウェファーの差換えを省略し、また、レーザービームの面積を大きくすることが可能で処理時間のさらなる短縮を可能とする。

【0024】その後、第1の集積回路層と同じように、アルミニウム(陽極酸化膜で覆われている)でゲイト配線・電極12を形成したのち、ボロニオンの打ち込みとレーザーアニールによってソース/ドレイン13を形成し、さらにスパッタ法によって酸化珪素膜14を堆積してこれを層間絶縁物とした。この様子を図2(D)に示す。

【0025】ついで、層間絶縁物(酸化珪素)14、ゲイト絶縁膜(酸化珪素)11、層間絶縁物(ポリイミド)9を貫通して、コンタクトホール15を形成した(図2(E))。コンタクトホールの直径は、ポリイミド層間絶縁物の厚さの2倍の6μmとした。そして、スパッタ法によってアルミニウム被膜を厚さ250~3000nm、例えば1500nmだけ形成し、コンタクトホールを完全に埋めてから、異方性エッチングによって、1000nmだけエッチングした。その後、このアルミニウム膜をパターニングして、配線(図1では第4配線にあたる)16を形成した。この際、アルミニウムの膜厚が小さいと、コンタクトホールにおいて、断線をおこしてしまうので注意が必要である。

【0026】このようにして、図2(F)に示すような2層集積回路を形成することができた。さらに多層の集積回路を形成するには、以上の操作を繰り返せばよい。

【0027】

【発明の効果】本発明によって、多層集積回路を確実に形成できた。本発明では、従来の単結晶ウェファー上に集積回路を多層化するのみならず、絶縁基板上に多層集積回路を作製することもできる。特に絶縁基板上では、配線と基板間の容量がないために、半導体の移動度が小さくても、十分に高速な動作が可能である。例えば、電子の移動度が50cm²/Vs程度(単結晶では500cm²/Vs以上)であっても、100MHzのクロックで回路を駆動することが可能である。さらに、本発明では、ゲイト配線を始めとする配線の材料としてアルミニウム等の低抵抗、高熱伝導の材料を使用しているの、発熱が少なく、冷却効率もよい。純粋なアルミニウムは、エレクトロマイグレーション等、機械的な応力に弱いので、例えば微量のシリコン等を添加したアルミニウム合金を使用しても同じ効果が得られる。このように本発明は産業上、極めて有益な発明であると考えられる。

【図面の簡単な説明】

【図1】 本発明の集積回路の概念図を示す。

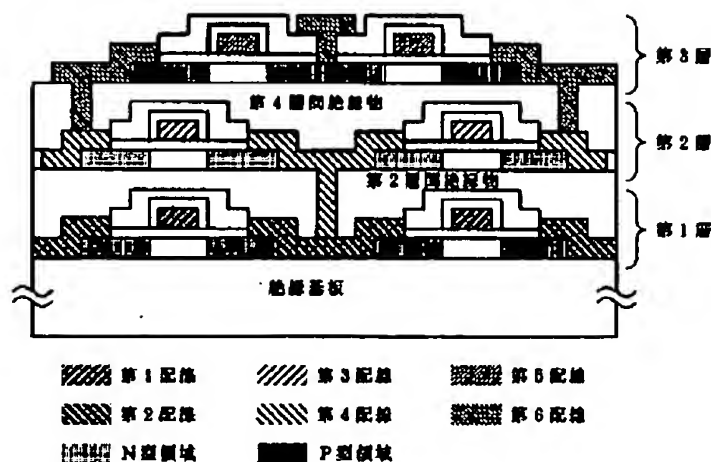
【図2】 本発明の実施例を示す。

【図3】 本発明の実施例を示す。

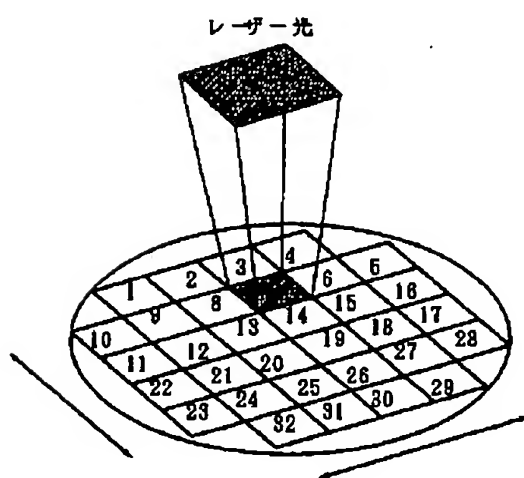
【符号の説明】

- 1・・・基板
2・・・下地酸化膜
3、10・・・島状半導体領域
4、11・・・ゲイト酸化膜
5、12・・・ゲイト電極・配線

【図1】

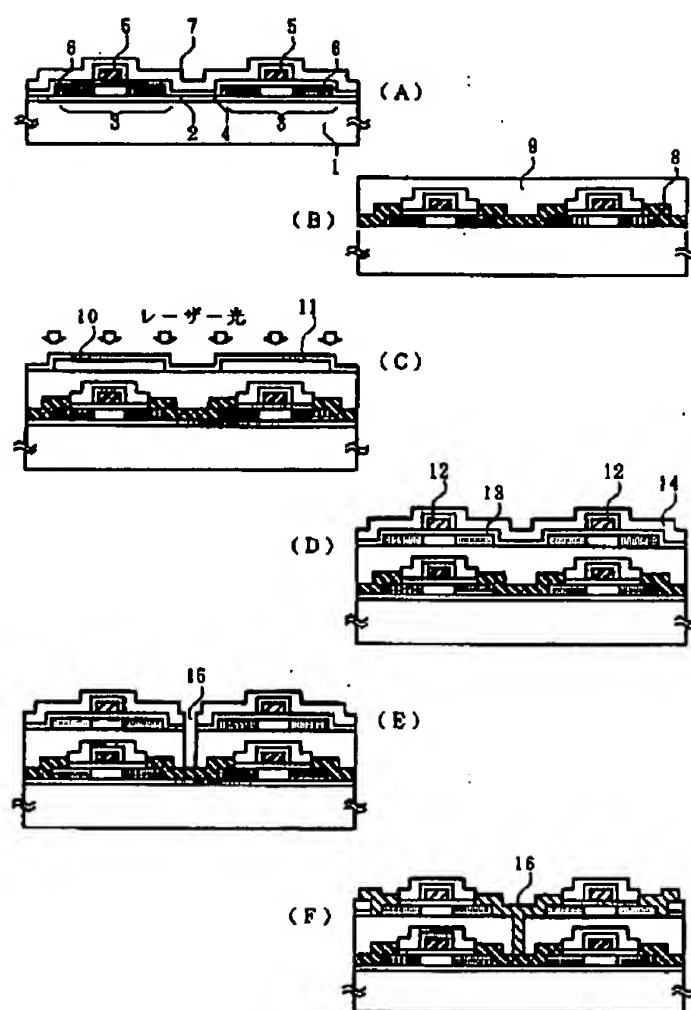


【図3】



- 6、13・・・ソース/ドレイン
7、14・・・層間絶縁物 (酸化珪素)
8、16・・・金属配線
9・・・層間絶縁物 (ポリイミド)
15・・・コンタクトホール

【図2】



フロントページの続き

(51)Int. Cl.⁵

H01L 29/784

識別記号

庁内整理番号

F I

技術表示箇所